

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053413

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H05K 1/18

H05K 1/03

H05K 1/09

H05K 3/46

(21)Application number : 11-229710

(71)Applicant : SONY CORP

(22)Date of filing : 16.08.1999

(72)Inventor : HATTA KAORU

(54) SUBSTRATE INCORPORATING ELECTRONIC PARTS, MULTILAYERED SUBSTRATE INCORPORATING ELECTRONIC PARTS, AND THEIR MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To greatly reduce the thickness of a substrate incorporating electronic parts by coating one electronic parts with a resin so that the junction of the parts may be exposed and forming a metallic pattern on the surface of the resin.

SOLUTION: A substrate 7 incorporating electronic parts is manufactured in such a way that, on a transfer substrate 1, an integrated circuit 2 and chip parts 3 are fixed at desired positions by applying an adhesive to the substrate 1 or using a double coated tape, etc. Then the circuit 2 and parts 3 are sealed with a sealing material 4 and the surface of the material 4 is polished to ensure planarization. In addition, the sealing material 4 for sealing the circuit 2 and parts 3 is stripped off the transfer substrate 1 and a copper pattern 6 which becomes wiring is formed by plating on the stripped-off surface of the material 4. Therefore, the thickness of the substrate 7 can be reduced significantly.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53413
(P2001-53413A)

(43) 公開日 平成13年2月23日 (2001.2.23)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード(参考) |
|--------------------------------------|-------|--------------|-------------------|
| H 0 5 K 1/18 | | H 0 5 K 1/18 | S 4 E 3 5 1 |
| 1/03 | 6 1 0 | 1/03 | 6 1 0 L 5 E 3 3 6 |
| | | | 6 1 0 M 5 E 3 4 6 |
| 1/09 | | 1/09 | A |
| 3/46 | | 3/46 | Q |
| 審査請求 未請求 請求項の数38 O L (全 11 頁) 最終頁に続く | | | |

(21) 出願番号 特願平11-229710

(22) 出願日 平成11年8月16日 (1999.8.16)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 八田 薫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100078031

弁理士 大石 皓一 (外1名)

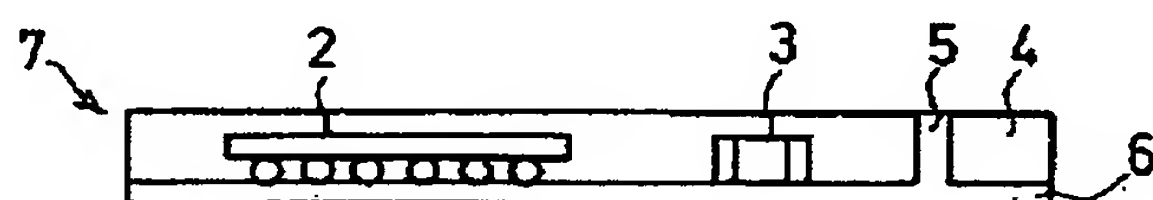
最終頁に続く

(54) 【発明の名称】 電子部品内蔵基板および多層電子部品内蔵基板ならびにそれらの製造方法

(57) 【要約】

【課題】 大幅に薄型化された電子部品内蔵基板および大幅な薄型化が可能で、かつ、実装密度を向上させることのできる多層電子部品内蔵基板ならびに簡易な工程で、これらを製造することのできる電子部品内蔵基板および多層電子部品内蔵基板の製造方法を提供する。

【解決手段】 電子部品2、3が、その接合部が露出するように、封止樹脂4によって被覆され、電子部品2、3の接合部が露出した面に、金属パターン6が形成された電子部品内蔵基板とその製造方法。



【特許請求の範囲】

【請求項 1】 少なくとも 1 つの電子部品が、前記少なくとも 1 つの電子部品の接合部が露出するように、樹脂によって被覆され、前記樹脂の前記少なくとも 1 つの電子部品の接合部が露出した面に、金属パターンが形成されたことを特徴とする電子部品内蔵基板。

【請求項 2】 前記樹脂の前記少なくとも 1 つの電子部品の接合部が露出した面が平坦に形成されたことを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 3】 前記少なくとも 1 つの電子部品の接合部が露出した面と反対側の前記樹脂の面が平坦に形成されたことを特徴とする請求項 1 または 2 に記載の電子部品内蔵基板。

【請求項 4】 前記電子部品が、集積回路およびチップ部品を含んでいることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の電子部品内蔵基板。

【請求項 5】 前記金属が、銅、アルミニウム、銀、金、白金およびパラジウムからなる群より選ばれる金属によって構成されたことを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の電子部品内蔵基板

【請求項 6】 前記金属が、銅によって構成されたことを特徴とする請求項 5 に記載の電子部品内蔵基板。

【請求項 7】 前記樹脂が、酸無水物系エポキシ樹脂、ビスフェノール型エポキシ樹脂、脂環式エポキシ樹脂およびシアネートエステル樹脂からなる群より選ばれる樹脂によって構成されたことを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の電子部品内蔵基板。

【請求項 8】 前記樹脂がフィラーを含んでいることを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の電子部品内蔵基板。

【請求項 9】 前記樹脂に、少なくとも 1 つのピアが形成されたことを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の電子部品内蔵基板。

【請求項 10】 請求項 1 ないし 9 のいずれか 1 項に記載の前記電子部品内蔵基板が、2 枚以上積層され、接着されたことを特徴とする多層電子部品内蔵基板。

【請求項 11】 前記 2 枚以上の積層された電子部品内蔵基板が、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着されたことを特徴とする請求項 10 に記載の多層電子部品内蔵基板。

【請求項 12】 前記 2 枚以上の電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んだことを特徴とする請求項 10 または 11 に記載の多層電子部品内蔵基板。

【請求項 13】 2 枚以上の電子部品内蔵基板が積層され、接着された多層電子部品内蔵基板であって、前記 2 枚以上の電子部品内蔵基板の少なくとも 1 枚が請求項 1 ないし 9 に記載の前記電子部品内蔵基板によって構成されたことを特徴とする多層電子部品内蔵基板。

【請求項 14】 前記 2 枚以上の積層された電子部品内蔵基板が、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着されたことを特徴とする請求項 13 に記載の多層電子部品内蔵基板。

【請求項 15】 前記 2 枚以上の電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んだことを特徴とする請求項 13 または 14 に記載の多層電子部品内蔵基板。

【請求項 16】 転写基板上に、少なくとも 1 つの電子部品を位置決めし、樹脂によって、前記少なくとも 1 つの電子部品を被覆して、電子部品被覆体を形成し、前記転写基板から、前記電子部品被覆体を剥離し、前記電子部品被覆体の剥離した面に金属のパターンを形成することを特徴とする電子部品内蔵基板の製造方法。

【請求項 17】 接着によって、前記少なくとも 1 つの電子部品を、前記転写基板上に位置決めし、固定することを特徴とする請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 18】 加圧によって、前記少なくとも 1 つの電子部品を、前記転写基板上に位置決めし、固定することを特徴とする請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 19】 圧入治具によって、前記少なくとも 1 つの電子部品を、前記転写基板上に加圧して、固定することを特徴とする請求項 18 に記載の電子部品内蔵基板の製造方法。

【請求項 20】 前記圧入治具の表面が、前記樹脂と濡れが悪く構成されたことを特徴とする請求項 19 に記載の電子部品内蔵基板の製造方法。

【請求項 21】 はんだによって、前記少なくとも 1 つの電子部品を、前記転写基板上に位置決めし、固定することを特徴とする請求項 16 に記載の電子部品内蔵基板の製造方法。

【請求項 22】 さらに、前記転写基板から、前記電子部品被覆体を剥離するのに先立って、前記電子部品被覆体の表面を研磨することを特徴とする請求項 16 ないし 21 のいずれか 1 項に記載の電子部品内蔵基板の製造方法。

【請求項 23】 前記電子部品が、集積回路およびチップ部品を含んでいることを特徴とする請求項 16 ないし 22 のいずれか 1 項に記載の電子部品内蔵基板の製造方法。

【請求項 24】 前記金属が、銅、アルミニウム、銀、金、白金およびパラジウムからなる群より選ばれる金属によって構成されたことを特徴とする請求項 16 ないし 23 のいずれか 1 項に記載の電子部品内蔵基板の製造方法。

【請求項 25】 前記金属が、銅によって構成されたことを特徴とする請求項 24 に記載の電子部品内蔵基板の

製造方法。

【請求項26】 前記金属のパターンを、めっきによって、前記電子部品被覆体の剥離した面に形成することを特徴とする請求項16ないし25のいずれか1項に記載の電子部品内蔵基板の製造方法。

【請求項27】 前記金属のパターンを、気相製膜法によって、前記電子部品被覆体の剥離した面に形成することを特徴とする請求項16ないし25のいずれか1項に記載の電子部品内蔵基板の製造方法。

【請求項28】 前記気相製膜法が、スパッタリングおよび蒸着を含むことを特徴とする請求項27に記載の電子部品内蔵基板の製造方法。

【請求項29】 前記樹脂が、酸無水物系エポキシ樹脂、ビスフェノール型エポキシ樹脂、脂環式エポキシ樹脂およびシアネートエステル樹脂からなる群より選ばれる樹脂によって構成されたことを特徴とする請求項16ないし28のいずれか1項に記載の電子部品内蔵基板の製造方法。

【請求項30】 前記樹脂がフィラーを含んでいることを特徴とする請求項16ないし29のいずれか1項に記載の電子部品内蔵基板の製造方法。

【請求項31】 前記転写基板から剥離された後、前記電子部品被覆体に少なくとも1つのビアを形成することを特徴とする請求項16ないし30のいずれか1項に記載の電子部品内蔵基板の製造方法。

【請求項32】 前記転写基板をエッチングすることによって、前記転写基板から、前記電子部品被覆体を剥離することを特徴とする請求項16ないし31のいずれか1項に記載の電子部品内蔵基板の製造方法。

【請求項33】 請求項16ないし32のいずれか1項に記載の方法によって製造された電子部品内蔵基板を、2枚以上積層し、接着することを特徴とする多層電子部品内蔵基板の製造方法。

【請求項34】 前記電子部品内蔵基板を、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着することを特徴とする請求項33に記載の多層電子部品内蔵基板の製造方法。

【請求項35】 2枚以上の前記電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んだことを特徴とする請求項33または34に記載の多層電子部品内蔵基板。

【請求項36】 2枚以上の電子部品内蔵基板を積層し、接着して、多層電子部品内蔵基板を製造する多層電子部品内蔵基板の製造方法において、前記2枚以上の電子部品内蔵基板の少なくとも1枚が請求項16ないし32のいずれか1項に記載の方法によって製造された電子部品内蔵基板によって構成されたことを特徴とする多層電子部品内蔵基板。

【請求項37】 前記電子部品内蔵基板を、異方性導電

ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着することを特徴とする請求項36に記載の多層電子部品内蔵基板の製造方法。

【請求項38】 2枚以上の前記電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んだことを特徴とする請求項36または37に記載の多層電子部品内蔵基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品内蔵基板および多層電子部品内蔵基板ならびにそれらの製造方法に関するものであり、さらに詳細には、大幅に薄型化された電子部品内蔵基板および大幅な薄型化が可能で、かつ、実装密度を向上させることのできる多層電子部品内蔵基板ならびに簡易な工程で、これらを製造することのできる電子部品内蔵基板および多層電子部品内蔵基板の製造方法に関するものである。

【0002】

【従来の技術】近年、小型化の要請から、搭載部品面積と基板面積の比である実装密度は、家庭用デジタルビデオカメラにあっては100%近くになってきており、飽和状態にある。そこで、100%を越える実装密度を実現するため、電子部品内蔵基板が提案されている。たとえば、特開昭57-7147号公報、特開平1-175296号公報、特開平1-175297号公報、特開平1-194500号公報、特開平2-301183号公報、特開平4-96358号公報、特開平4-44296号公報、特開平6-45763号公報、特開平7-297499号公報、特開平8-37378号公報、特開平8-88471号公報、特開平8-139456号公報、特開平9-321408号公報、特開平9-321438号公報、特開平9-321439号公報などは、実装密度が100%を越える多層電子部品内蔵基板を提案している。また、特開平3-69191号公報は、基板に形成された胴配線上に、電子部品を搭載し、その上から樹脂で一面に被覆して、電子部品埋め込み層を形成し、こうして得られた電子部品埋め込み層を、接着剤を介して、積層した多層電子部品内蔵基板を開示している。

【0003】

【発明が解決しようとする課題】しかしながら、特開昭57-7147号公報などに開示された電子部品内蔵基板はいずれも、プリント基板に、凹部や開口部を形成し、凹部や開口部内に、電子部品を内蔵するもので、製造工程が複雑になるという問題を有していた。これに対し、特開平3-69191号公報に開示された電子部品内蔵基板は、簡易な工程で、製造することができる反面、薄型化が困難で、実装密度を十分に向上させることができないという問題を有していた。

【0004】したがって、本発明は、大幅に薄型化された電子部品内蔵基板および大幅な薄型化が可能で、かつ、実装密度を向上させることのできる多層電子部品内蔵基板ならびに簡易な工程で、これらを製造することのできる電子部品内蔵基板および多層電子部品内蔵基板の製造方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】本発明のかかる目的は、少なくとも1つの電子部品が、前記少なくとも1つの電子部品の接合部が露出するように、樹脂によって被覆され、前記樹脂の前記少なくとも1つの電子部品の接合部が露出した面に、金属パターンが形成された電子部品内蔵基板によって達成される。本発明によれば、電子部品内蔵基板は、少なくとも1つの電子部品が、その接合部が露出するように、樹脂によって被覆され、少なくとも1つの電子部品の接合部が露出した樹脂の面に、金属パターンが形成されて、構成されており、基板を有していないから、その厚さを大幅に薄型化することが可能となる。

【0006】本発明の好ましい実施態様においては、前記樹脂の前記少なくとも1つの電子部品の接合部が露出した面が平坦に形成されている。本発明の好ましい実施態様によれば、樹脂の少なくとも1つの電子部品の接合部が露出した面が平坦に形成されているから、電子部品内蔵基板を積層して、実装密度の高い多層電子部品内蔵基板を製造することが可能となる。

【0007】本発明のさらに好ましい実施態様においては、前記少なくとも1つの電子部品の接合部が露出した面と反対側の前記樹脂の面が平坦に形成されている。本発明のさらに好ましい実施態様によれば、少なくとも1つの電子部品の接合部が露出した面と反対側の樹脂の面が平坦に形成されているから、電子部品内蔵基板を積層して、実装密度の高い多層電子部品内蔵基板を製造することが可能となる。

【0008】本発明のさらに好ましい実施態様においては、前記電子部品が、集積回路およびチップ部品を含んでいる。本発明のさらに好ましい実施態様においては、前記金属が、銅、アルミニウム、銀、金、白金およびパラジウムからなる群より選ばれる金属によって構成されている。本発明のさらに好ましい実施態様においては、前記金属が、銅によって構成されている。

【0009】本発明のさらに好ましい実施態様においては、前記樹脂が、酸無水物系エポキシ樹脂、ビスフェノール型エポキシ樹脂、脂環式エポキシ樹脂およびシアネートエステル樹脂からなる群より選ばれる樹脂によって構成されている。本発明のさらに好ましい実施態様においては、前記樹脂がフィラーを含んでいる。本発明のさらに好ましい実施態様によれば、樹脂に、フィラーを添加することにより、機械的性質、熱伝導性、熱膨張率、コストなどを考慮して、樹脂の材料を選択することがで

きる。

【0010】本発明のさらに好ましい実施態様においては、前記樹脂に、少なくとも1つのビアが形成されている。本発明のさらに好ましい実施態様によれば、電子部品被覆体の所望の位置に、ビアを形成することによって、埋め込みビアを、多層電子部品内蔵基板内の所望の位置に形成することができ、多層電子部品内蔵基板を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板を小型化することが可能になる。

【0011】本発明の前記目的はまた、前記電子部品内蔵基板が、2枚以上積層され、接着された多層電子部品内蔵基板によって達成される。本発明によれば、基板を有していない電子部品内蔵基板が積層され、接着されて、多層電子部品内蔵基板が形成されているから、その厚さを大幅に薄型化することが可能となるとともに、同じ厚さの多層電子部品内蔵基板にあつては、実装密度を大幅に向上させることが可能になる。

【0012】本発明の好ましい実施態様においては、前記2枚以上の積層された電子部品内蔵基板が、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着されている。本発明の好ましい実施態様によれば、電子部品被覆体の所望の位置に、少なくとも1つのビアを形成することによって、埋め込みビアを、多層電子部品内蔵基板内の所望の位置に形成することができ、多層電子部品内蔵基板を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板を小型化することが可能になる。

【0013】本発明のさらに好ましい実施態様においては、前記2枚以上の電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んでいる。本発明のさらに好ましい実施態様によれば、面積の異なる電子部品内蔵基板が積層されているので、厚さ方向の任意の位置に、所望のように、電子部品を配置することができ、設計の自由度を向上させつつ、実装密度を大幅に向上させることが可能となる。

【0014】本発明の前記目的はまた、2枚以上の電子部品内蔵基板が積層され、接着された多層電子部品内蔵基板であつて、2枚以上の電子部品内蔵基板の少なくとも1枚が前記電子部品内蔵基板によって構成された多層電子部品内蔵基板によって達成される。本発明によれば、多層電子部品内蔵基板は、少なくとも1枚の基板を有していない電子部品内蔵基板を含んでいるから、その厚さを薄型化することが可能となるとともに、同じ厚さの多層電子部品内蔵基板にあつては、実装密度を向上させることが可能になる。

【0015】本発明の好ましい実施態様においては、前記2枚以上の積層された電子部品内蔵基板が、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よ

りなる群から選ばれた材料によって、互いに接着されている。本発明の好ましい実施態様によれば、電子部品被覆体の所望の位置に、少なくとも1つのビアを形成することによって、埋め込みビアを、多層電子部品内蔵基板内の所望の位置に形成することができ、多層電子部品内蔵基板を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板を小型化することが可能になる。

【0016】本発明のさらに好ましい実施態様においては、前記2枚以上の電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んでいる。本発明のさらに好ましい実施態様によれば、面積の異なる電子部品内蔵基板が積層されているので、厚さ方向の任意の位置に、所望のように、電子部品を配置することができ、設計の自由度を向上させつつ、実装密度を大幅に向上させることが可能となる。

【0017】本発明の前記目的はまた、転写基板上に、少なくとも1つの電子部品を位置決めし、樹脂によって、前記少なくとも1つの電子部品を被覆して、電子部品被覆体を形成し、前記転写基板から、前記電子部品被覆体を剥離し、前記電子部品被覆体の剥離した面に金属のパターンを形成することによって達成される。本発明によれば、電子部品被覆体の剥離した面に金属のパターンを形成して、電子部品内蔵基板を製造しているから、こうして得られた電子部品内蔵基板を積層するだけで、実装密度の高い多層電子部品内蔵基板を製造することができ、したがって、簡易な工程で、実装密度の高い多層電子部品内蔵基板を製造することが可能になる。

【0018】本発明の好ましい実施態様においては、接着によって、前記少なくとも1つの電子部品が、前記転写基板上に位置決めされ、固定される。本発明の好ましい実施態様によれば、樹脂によって、電子部品を被覆するまでの間、電子部品を転写基板上の所望の位置に保持することができる。

【0019】本発明のさらに好ましい実施態様においては、加圧によって、前記少なくとも1つの電子部品が、前記転写基板上に位置決めされ、固定される。本発明のさらに好ましい実施態様によれば、樹脂によって、電子部品を被覆するまでの間、電子部品を転写基板上の所望の位置に保持することができる。

【0020】本発明のさらに好ましい実施態様においては、前記少なくとも1つの電子部品が、圧入治具によって、前記転写基板上に加圧され、固定される。本発明のさらに好ましい実施態様においては、前記圧入治具の表面が、前記樹脂と濡れが悪く構成されている。本発明のさらに好ましい実施態様によれば、圧入治具を容易に樹脂から引き抜くことが可能になる。

【0021】本発明のさらに好ましい実施態様においては、はんだによって、前記少なくとも1つの電子部品が、前記転写基板上に位置決めされ、固定される。本発

明のさらに好ましい実施態様によれば、樹脂によって、電子部品を被覆するまでの間、電子部品を転写基板上の所望の位置に保持することができる。

【0022】本発明のさらに好ましい実施態様においては、さらに、前記転写基板から、前記電子部品被覆体を剥離するのに先立って、前記電子部品被覆体の表面が研磨される。本発明のさらに好ましい実施態様によれば、電子部品内蔵基板の表面の平坦性が確保することが可能となるとともに、電子部品内蔵基板の薄型化を実現することができる。

【0023】本発明のさらに好ましい実施態様においては、前記電子部品が、集積回路およびチップ部品を含んでいる。本発明のさらに好ましい実施態様においては、前記金属が、銅、アルミニウム、銀、金、白金およびパラジウムからなる群より選ばれる金属によって構成されている。本発明のさらに好ましい実施態様においては、前記金属が、銅によって構成されている。

【0024】本発明のさらに好ましい実施態様においては、前記金属のパターンが、めっきによって、前記電子部品被覆体の剥離した面に形成される。本発明のさらに好ましい実施態様においては、前記金属のパターンが、気相製膜法によって、前記電子部品被覆体の剥離した面に形成される。本発明のさらに好ましい実施態様においては、前記気相製膜法が、スパッタリングおよび蒸着を含んでいる。

【0025】本発明のさらに好ましい実施態様においては、前記樹脂が、酸無水物系エポキシ樹脂、ビスフェノール型エポキシ樹脂、脂環式エポキシ樹脂およびシアネートエステル樹脂からなる群より選ばれる樹脂によって構成されている。本発明のさらに好ましい実施態様においては、前記樹脂がフィラーを含んでいる。本発明のさらに好ましい実施態様によれば、樹脂に、フィラーを添加することにより、機械的性質、熱伝導性、熱膨張率、コストなどを考慮して、樹脂の材料を選択することができる。

【0026】本発明のさらに好ましい実施態様においては、前記転写基板から剥離された後に、前記電子部品被覆体に少なくとも1つのビアが形成される。本発明のさらに好ましい実施態様によれば、電子部品被覆体の所望の位置に、ビアを形成することによって、埋め込みビアを、多層電子部品内蔵基板内の所望の位置に形成することができ、多層電子部品内蔵基板を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板を小型化することが可能になる。

【0027】本発明のさらに好ましい実施態様においては、前記電子部品被覆体が、前記転写基板をエッチングすることによって、前記転写基板から剥離される。本発明のさらに好ましい実施態様によれば、転写基板から、電子部品被覆体を剥離することが困難な場合にも、転写基板をエッチングして、電子部品の接合部を露出させる

ことができる。

【0028】本発明の前記目的はまた、前記電子部品内蔵基板の製造方法によって製造された電子部品内蔵基板を、2枚以上積層し、接着する多層電子部品内蔵基板の製造方法によって達成される。本発明によれば、基板を有していない電子部品内蔵基板を積層し、接着して、多層電子部品内蔵基板を形成しているから、その厚さを大幅に薄型化することが可能となるとともに、同じ厚さの多層電子部品内蔵基板にあつては、実装密度を大幅に向上させることが可能になる。

【0029】本発明の好ましい実施態様においては、前記電子部品内蔵基板を、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着するように構成されている。本発明の好ましい実施態様によれば、電子部品被覆体の所望の位置に、少なくとも1つのビアを形成することによって、埋め込みビアを、多層電子部品内蔵基板内の所望の位置に形成することができ、多層電子部品内蔵基板を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板を小型化することが可能になる。

【0030】本発明のさらに好ましい実施態様においては、2枚以上の前記電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んでいる。本発明のさらに好ましい実施態様によれば、面積の異なる電子部品内蔵基板が積層されているので、厚さ方向の任意の位置に、所望のように、電子部品を配置することができ、設計の自由度を向上させつつ、実装密度を大幅に向上させることが可能となる。

【0031】本発明の前記目的はまた、2枚以上の電子部品内蔵基板を積層し、接着して、多層電子部品内蔵基板を製造する多層電子部品内蔵基板の製造方法であつて、前記2枚以上の電子部品内蔵基板の少なくとも1枚が前記電子部品内蔵基板の製造方法によって製造された電子部品内蔵基板によって構成されている。本発明によれば、多層電子部品内蔵基板は、多層電子部品内蔵基板を構成する電子部品内蔵基板の少なくとも1枚が、基板を有していない電子部品内蔵基板により構成されているから、その厚さを薄型化することが可能となるとともに、同じ厚さの多層電子部品内蔵基板にあつては、実装密度を向上させることが可能になる。

【0032】本発明の好ましい実施態様においては、前記電子部品内蔵基板を、異方性導電ペースト、異方性導電フィルムおよび導電性接着剤よりなる群から選ばれた材料によって、互いに接着するように構成されている。本発明の好ましい実施態様によれば、電子部品被覆体の所望の位置に、少なくとも1つのビアを形成することによって、埋め込みビアを、多層電子部品内蔵基板内の所望の位置に形成することができ、多層電子部品内蔵基板を設計する際の自由度を向上させることが可能になると

ともに、多層電子部品内蔵基板を小型化することが可能になる。

【0033】本発明のさらに好ましい実施態様においては、2枚以上の前記電子部品内蔵基板が、面積の異なる電子部品内蔵基板を含んでいる。本発明のさらに好ましい実施態様によれば、面積の異なる電子部品内蔵基板が積層されているので、厚さ方向の任意の位置に、所望のように、電子部品を配置することができ、設計の自由度を向上させつつ、実装密度を大幅に向上させることが可能となる。

【0034】

【発明の実施の形態】以下、添付図面に基づいて、本発明の好ましい実施態様につき、詳細に説明を加える。図1ないし図6は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図である。

【0035】図1に示されるように、まず、ステンレスで作られ、表面が平坦化された転写基板1に、電子部品である集積回路2およびチップ部品3が位置決めされる。ここに、電子部品は、転写基板1に接合するわけではないので、はんだなどの接合材を使用する必要はなく、次工程以降に、集積回路2およびチップ部品3の位置ずれを防止するために、転写基板1上に、接着剤を塗布し、あるいは、両面テープなどを用いて、集積回路2およびチップ部品3を転写基板1上の所望の位置に固定すれば十分である。次いで、図2に示されるように、Quad Flat Package (QFP) の樹脂封止と同様に、集積回路2およびチップ部品3が、封止材4によって封止される。本実施態様においては、封止材4として、酸無水物系エポキシ樹脂が用いられ、酸無水物系エポキシ樹脂には、機械的性質、熱伝導性、熱膨張率、コストなどを考慮して、フィラーが添加されている。さらに、図3に示されるように、封止材4の表面が研磨され、これによって、平坦性が確保されるとともに、電子部品内蔵基板の薄型化が実現される。

【0036】次いで、図4に示されるように、集積回路2およびチップ部品3を封止している封止材4が、転写基板1から剥離される。必要に応じて、電子部品を内蔵した封止材4の剥離面は、薬液やグロー放電によって洗浄され、集積回路2およびチップ部品3の接合部が露出される。この際、電子部品を内蔵した封止材4の一部に、ビア5がドリル（図示せず）によって形成される。

【0037】さらに、図5に示されるように、電子部品を内蔵した封止材4の剥離面に、配線となる銅パターン6がめっきによって形成される。これによって、電子部品内蔵基板7が得られる。銅パターン6がめっきによって形成される際、集積回路2およびチップ部品3の接合部が活性化されるため、はんだなどの接合材を用いなくとも、集積回路2およびチップ部品3の接合部に直接、銅パターン6が形成することができる。次いで、図6に

示されるように、実装密度を高めるため、こうして得られた電子部品内蔵基板7上に、同様のプロセスを用いて製造された電子部品内蔵基板7が積層されて、異方性導電ペーストを用いて、接着され、積層された電子部品内蔵基板7間が、公知の方法によって、電氣的に導通されて、多層電子部品内蔵基板8が得られる。

【0038】本実施態様によれば、電子部品内蔵基板7は、集積回路2およびチップ部品3を内蔵した封止材4と、封止材4の転写基板1が剥離された剥離面に形成された銅パターンとによって構成されており、基板を有してはいないから、基板上に、銅パターンが形成され、銅パターン上に、電子部品が搭載されて、封止樹脂によって被覆された従来の電子部品内蔵基板に比して、大幅に薄型化することが可能になる。また、本実施態様によれば、多層電子部品内蔵基板8は、集積回路2およびチップ部品3を内蔵した封止材4と、封止材4の転写基板1が剥離された剥離面に形成された銅パターンとによって構成され、基板を有していない電子部品内蔵基板7を積層して、形成されているから、従来の多層電子部品内蔵基板に比して、大幅に薄型化することができ、同じ厚さの多層電子部品内蔵基板8にあつては、実装密度を大幅に向上させることが可能になる。

【0039】さらに、本実施態様によれば、電子部品内蔵基板7の剥離面に、めっきによって、銅パターン6を直接形成して、電子部品内蔵基板7を製造し、こうして得られた電子部品内蔵基板7を積層するだけで、実装密度の高い多層電子部品内蔵基板8を製造することができるから、簡易な工程で、実装密度の高い多層電子部品内蔵基板8を製造することが可能になる。また、本実施態様によれば、銅パターン6をめっきによって形成する際、集積回路2およびチップ部品3の接合部が活性化されるため、はんだを使用することなく、多層電子部品内蔵基板8を製造することができ、環境保護の要請に応えることが可能になる。

【0040】さらに、本実施態様によれば、電子部品内蔵基板7を、転写基板1から剥離した後、所望の位置に、ビア5を形成することによって、埋め込みビア5を、多層電子部品内蔵基板8内の所望の位置に形成することができ、多層電子部品内蔵基板8を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板8を小型化することが可能になる。また、本実施態様によれば、電子部品内蔵基板7を、転写基板1から剥離した段階で、電子部品である集積回路2およびチップ部品3の接合部は露出状態にあるため、電子部品の検査をすることができ、検査に合格した電子部品内蔵基板7のみを積層して、多層電子部品内蔵基板8を製造することができるから、多層電子部品内蔵基板8の歩留まりを大幅に向上させることができる。

【0041】図7は、電子部品内蔵基板7に実装された電子部品である集積回路2およびチップ部品3の検査方

法を示す略縦断面図である。図7に示されるように、通常、インサーキットテストやファンクションテストで用いられる検査プローブ10が、電子部品内蔵基板7の銅パターン6側から当てられて、導通検査やファンクションテストが実施される。従来は、Ball Grid Array (BGA) や Chip Size Package (CSP) などのパッケージにあつては、集積回路自体に、IEEE 1149.1に規定されているJTAGなどのテスト機能を持たせ、検査プローブ10による検査と併せて、検査をおこなう必要があつたが、本実施態様にかかる電子部品内蔵基板7にあつては、銅パターン6を介して、電子部品である集積回路2およびチップ部品3の接合部に、検査プローブ10を当てることのできるから、部品コストを低減することが可能になる。さらに、銅パターン6に、検査プローブ10を当てればよいから、配線部分にテストパッドを設ける必要もなく、電子部品内蔵基板7を小型化することができる。

【0042】図8ないし図12は、本発明の好ましい実施態様にかかる電子部品内蔵基板の製造方法のプロセスを示す工程図である。図8に示されるように、まず、ステンレスで作られ、表面が平坦化された転写基板1に、電子部品である集積回路2およびチップ部品3が位置決めされる。この際、接着剤や両面テープなどの電子部品を固定するための手段が使用される必要はない。

【0043】次いで、図9に示されるように、圧入治具15によって、集積回路2およびチップ部品3が、転写基板1上に押しつけられ、固定される。圧入治具15には、封止材4と濡れが悪くなるような表面処理が施されていることが望ましい。さらに、図10に示されるように、集積回路2およびチップ部品3が、封止材4によって封止される。本実施態様においては、封止材4として、酸無水物系エポキシ樹脂が用いられ、酸無水物系エポキシ樹脂には、機械的性質、熱伝導性、熱膨張率、コストなどを考慮して、フィラーが添加されている。

【0044】次いで、図11に示されるように、圧入治具15が抜き取られる。さらに、図12に示されるように、圧入治具15が抜き取られた結果、生じた孔部分に、封止材4が封入される。次いで、図3に示されるのと同様にして、封止材4の表面が研磨され、図4に示されるように、集積回路2およびチップ部品3を封止している封止材4が、転写基板1から剥離されて、電子部品内蔵基板7が得られる。この際、電子部品内蔵基板7の一部に、ビア5がドリル（図示せず）によって形成される。

【0045】さらに、図5に示されるように、電子部品内蔵基板7の剥離面に、銅パターン6がめっきによって形成される。この際、集積回路2およびチップ部品3の接合部が活性化されるため、はんだなどの接合材を用いなくとも、集積回路2およびチップ部品3の接合部に直接、銅パターン6が形成することができる。こうして得

られた電子部品内蔵基板7の上に、図6に示されるように、同様のプロセスを用いて製造された電子部品内蔵基板7が積層されて、異方性導電ペーストを用いて、接着され、積層された電子部品内蔵基板7間が、公知の方法によって、電氣的に導通されて、多層電子部品内蔵基板8が得られる。

【0046】本実施態様によれば、電子部品内蔵基板7は、集積回路2およびチップ部品3を内蔵した封止材4と、封止材4の転写基板1が剥離された剥離面に形成された銅パターンとによって構成されており、基板を有してはいないから、基板上に、銅パターンが形成され、銅パターン上に、電子部品が搭載されて、封止樹脂によって被覆された従来の電子部品内蔵基板に比して、大幅に薄型化することが可能になる。また、本実施態様によれば、多層電子部品内蔵基板8は、集積回路2およびチップ部品3を内蔵した封止材4と、封止材4の転写基板1が剥離された剥離面に形成された銅パターンとによって構成され、基板を有していない電子部品内蔵基板7を積層して、形成されているから、従来の多層電子部品内蔵基板に比して、大幅に薄型化することができ、同じ厚さの多層電子部品内蔵基板8にあつては、実装密度を大幅に向上させることが可能になる。

【0047】さらに、本実施態様によれば、集積回路2およびチップ部品3を、接着剤や両面テープなどを用いることなく、圧入治具15によって、転写基板1上に固定しているため、転写基板1と封止材4を容易に剥離して、電子部品内蔵基板7を得ることが可能になる。また、本実施態様によれば、電子部品内蔵基板7の剥離面に、めっきによって、銅パターン6を直接形成して、電子部品内蔵基板7を製造し、こうして得られた電子部品内蔵基板7を積層するだけで、実装密度の高い多層電子部品内蔵基板8を製造することができるから、簡易な工程で、実装密度の高い多層電子部品内蔵基板8を製造することが可能になる。

【0048】さらに、本実施態様によれば、銅パターン6をめっきによって形成する際、集積回路2およびチップ部品3の接合部が活性化されるため、はんだを使用することなく、多層電子部品内蔵基板8を製造することができ、環境保護の要請に応えることが可能になる。また、本実施態様によれば、電子部品内蔵基板7を、転写基板1から剥離した後、所望の位置に、ビア5を形成することによって、埋め込みビア5を、多層電子部品内蔵基板8内の所望の位置に形成することができ、多層電子部品内蔵基板8を設計する際の自由度を向上させることが可能になるとともに、多層電子部品内蔵基板8を小型化することが可能になる。

【0049】さらに、本実施態様によれば、電子部品内蔵基板7を、転写基板1から剥離した段階で、電子部品である集積回路2およびチップ部品3の接合部は露出状態にあるため、電子部品の検査をすることができ、検査

に合格した電子部品内蔵基板7のみを積層して、多層電子部品内蔵基板8を製造することができるから、多層電子部品内蔵基板8の歩留まりを大幅に向上させることができる。

【0050】図13は、本発明の別の実施態様にかかる多層電子部品内蔵基板8略縦断面図である。図13に示されるように、本実施態様にかかる多層電子部品内蔵基板8は、面積の異なる4つの電子部品内蔵基板7が積層されて、構成されている。本実施態様によれば、さらに、面積の異なる電子部品内蔵基板7を積層しているので、厚さ方向の任意の位置に、所望のように、電子部品を配置することができ、設計の自由度を向上させつつ、実装密度を大幅に向上させることが可能となる。

【0051】本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることがいうまでもない。たとえば、前記実施態様においては、集積回路2、チップ部品3などの電子部品を転写基板1に、接着剤や両面テープを用いて、固定し、あるいは、圧入治具15を用いて、固定しているが、転写基板1への密着性、電子部品と転写基板1の接合部の面積増大、銅パターン6との接合性の改善などの目的で、はんだなどの接合材を用いて、集積回路2、チップ部品3などの電子部品を転写基板1に固定することもできる。

【0052】また、前記実施態様においては、電子部品として、集積回路2およびチップ部品3を実装しているが、電子部品内蔵基板7に実装される電子部品は、集積回路2およびチップ部品3に限定されるものではなく、集積回路2およびチップ部品3に代えて、あるいは、集積回路2およびチップ部品3とともに、他の電子部品を実装することもできる。さらに、前記実施態様においては、転写基板1として、ステンレスを用いているが、転写基板1は、平坦性が確保でき、実装に耐えられる材料により作られていればよく、ステンレスに限定されるものではない。

【0053】また、前記実施態様においては、封止材4として、酸無水物系エポキシ樹脂を用いているが、酸無水物系エポキシ樹脂に限られるわけではなく、ビスフェノール型エポキシ樹脂、脂環式エポキシ樹脂などのエポキシ樹脂、さらには、シアネートエステル樹脂などを、封止材4として、用いることもできる。さらに、前記実施態様においては、封止材4にフィラーが添加されているが、封止材4にフィラーを添加することは必ずしも必要ではない。

【0054】また、前記実施態様においては、封止材4が研磨されているが、集積回路2、チップ部品3などの電子部品を封止する際、封止材4の厚みを十分に薄くすることができ、かつ、平坦性を確保することができれば、封止材4を研磨することは必ずしも必要がない。さ

らに、前記実施態様においては、特別の手段を用いることなく、封止材4を転写基板1から剥離しているが、剥離が困難な場合には、転写基板1の材料を選択して、転写基板1をエッチングして、集積回路2およびチップ部品3の接合部を露出させるようにしてもよい。

【0055】また、前記実施態様においては、めっきによって、電子部品内蔵基板7に、直接、銅パターン6を形成しているが、形成されるパターンは銅パターン6に限定されるものではなく、銅パターン6に代えて、アルミニウム、銀、金、白金、パラジウムなどの金属パターンを形成してもよく、金属パターンの形成方法も、めっきに限らず、スパッタリング、蒸着などの気相製膜法を用いてもよい。さらに、前記実施態様においては、電子部品内蔵基板7を積層し、異方性導電ペーストを用いて、接着しているが、異方性導電ペーストに代えて、異方性導電フィルム、導電性接着剤などによって、電子部品内蔵基板7を接着するようにしてもよい。

【0056】また、前記実施態様においては、電子部品内蔵基板7にビア5を形成しているが、多層電子部品内蔵基板8に埋め込みビアを形成せず、貫通ビアのみを形成するのであれば、電子部品内蔵基板7にビア5を形成することは必ずしも必要がなく、導電性のない材料によって、積層した電子部品内蔵基板7を接着することができる。さらに、前記実施態様においては、ドリルを使用して、ビア5を形成しているが、レーザによって、ビア5を形成することもできる。

【0057】また、前記実施態様においては、本発明にしたがって製造された電子部品内蔵基板7のみを積層して、多層電子部品内蔵基板8を製造しているが、本発明にしたがって製造された電子部品内蔵基板7に、他の方法によって製造された電子部品内蔵基板を積層してもよく、通常、使用されるガラス・エポキシ基板やポリイミドからなるフレキシブル基板などの配線基板を積層することもできる。さらに、図1ないし図6に示された実施態様においては、2枚の電子部品内蔵基板7を積層し、図13に示された例においては、4枚の電子部品内蔵基板7を積層して、多層電子部品内蔵基板8が形成されているが、積層する電子部品内蔵基板7の数は任意に決定することができる。

【0058】また、図8ないし図12に示された実施態様においては、圧入治具15には、封止材4と濡れが悪くなるような表面処理が施されているが、圧入治具15の材料によっては、封止材4と濡れが悪くなるような表面処理が施すことは必ずしも必要がない。

【0059】

【発明の効果】本発明によれば、大幅に薄型化された電子部品内蔵基板および大幅な薄型化が可能で、かつ、実装密度を向上させることのできる多層電子部品内蔵基板ならびに簡易な工程で、これらを製造することのできる電子部品内蔵基板および多層電子部品内蔵基板の製造方

法を提供することが可能になる。

【図面の簡単な説明】

【図1】図1は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図である。

【図2】図2は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図である。

【図3】図3は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図である。

【図4】図4は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図である。

【図5】図5は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図であり、電子部品内蔵基板が生成された状態を示している。

【図6】図6は、本発明の好ましい実施態様にかかる電子部品内蔵基板および多層電子部品内蔵基板の製造プロセスを示す工程図であり、多層電子部品内蔵基板が生成された状態を示している。

【図7】図7は、電子部品内蔵基板に実装された電子部品の検査方法を示す略縦断面図である。

【図8】図8は、本発明の別の好ましい実施態様にかかる電子部品内蔵基板の製造プロセスを示す工程図である。

【図9】図9は、本発明の別の好ましい実施態様にかかる電子部品内蔵基板の製造プロセスを示す工程図である。

【図10】図10は、本発明の別の好ましい実施態様にかかる電子部品内蔵基板の製造プロセスを示す工程図である。

【図11】図11は、本発明の別の好ましい実施態様にかかる電子部品内蔵基板の製造プロセスを示す工程図である。

【図12】図12は、本発明の別の好ましい実施態様にかかる電子部品内蔵基板の製造プロセスを示す工程図である。

【図13】図13は、本発明の別の実施態様にかかる多層電子部品内蔵基板の略縦断面図である。

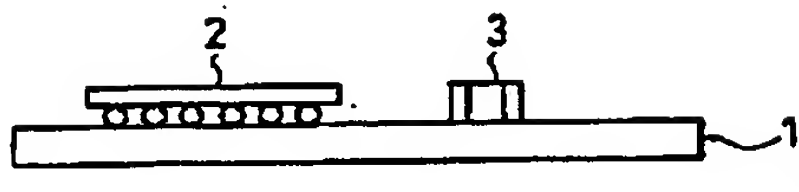
【符号の説明】

- 1 転写基板
- 2 集積回路
- 3 チップ部品
- 4 封止材
- 5 ビア
- 6 銅パターン
- 7 電子部品内蔵基板
- 8 多層電子部品内蔵基板

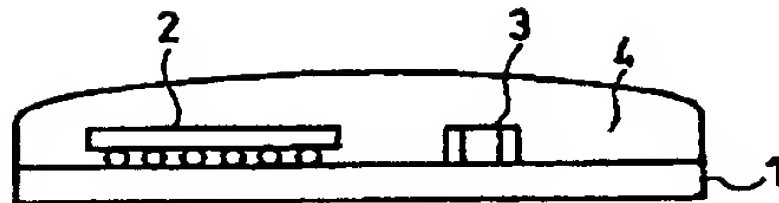
10 検査プローブ

15 圧入治具

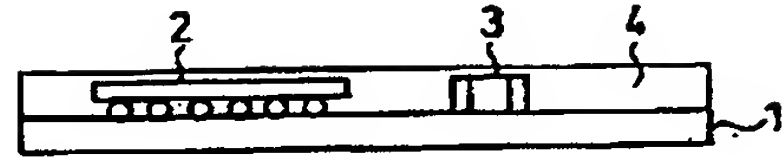
【図1】



【図2】



【図3】



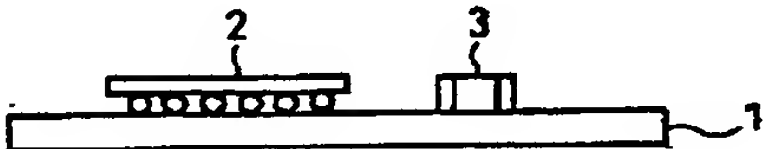
【図4】



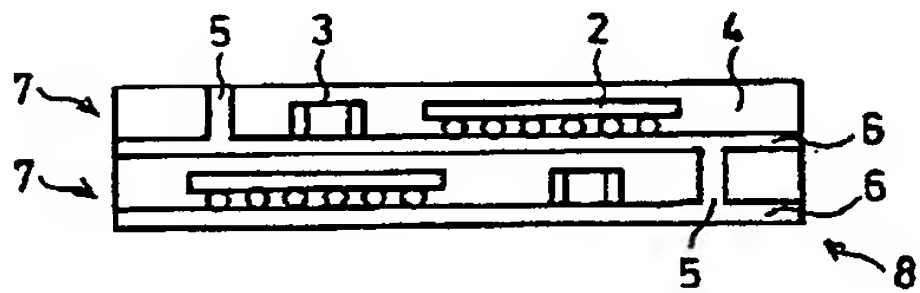
【図5】



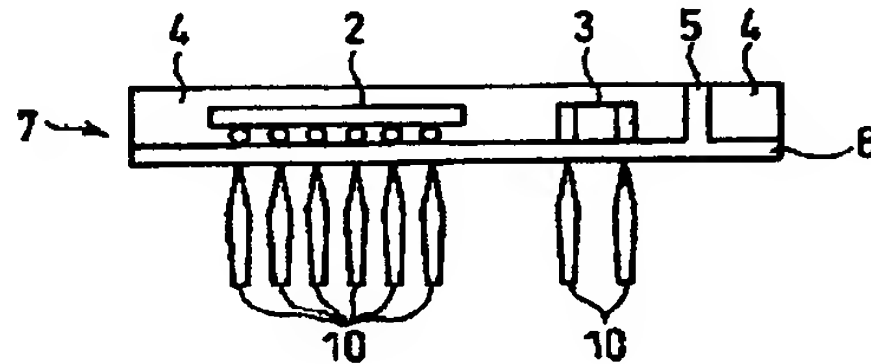
【図8】



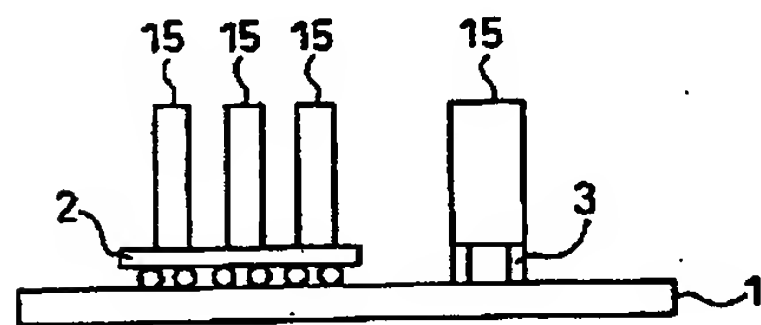
【図6】



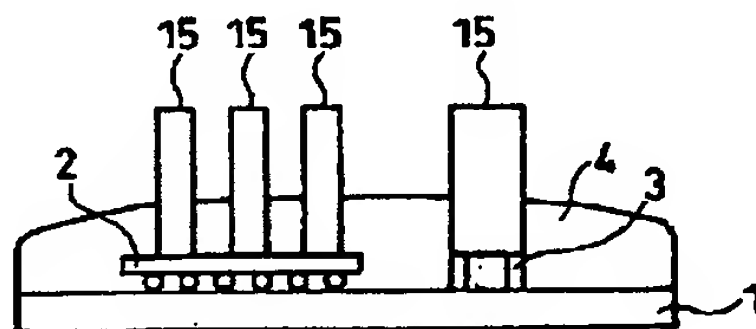
【図7】



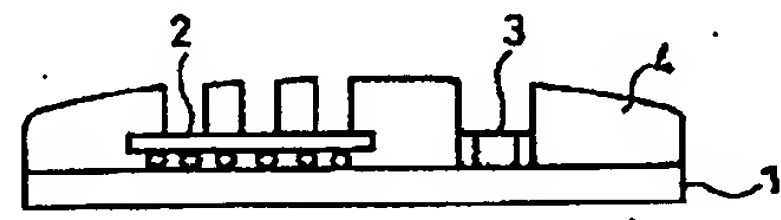
【図9】



【図10】



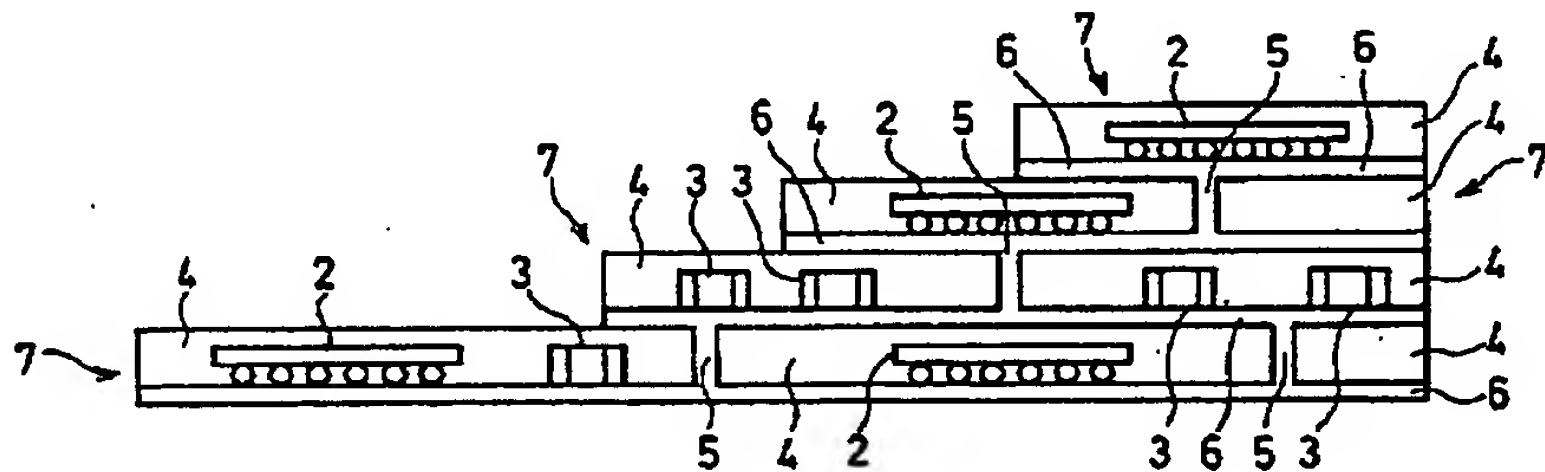
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. 7

H05K 3/46

識別記号

F I

H05K 3/46

ターマコード (参考)

L
G
N
T

Fターム(参考) 4E351 AA01 BB01 BB17 BB18 BB26
BB27 BB49 CC01 CC03 CC06
DD04 DD05 DD06 DD10 DD20
GG11
5E336 AA04 AA14 AA16 BB02 BB03
BB16 BC12 BC15 BC34 CC31
CC52 CC53 CC58 GG30
5E346 AA02 AA05 AA12 AA15 AA16
AA22 AA43 BB01 CC09 CC12
CC42 DD03 DD22 DD33 EE02
EE06 EE12 EE41 FF04 FF41
FF45 GG01 GG17 GG28 GG32
HH22 HH24 HH25

This Page Blank (uspto)